

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-149562

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

G11C 11/409

(21)Application number : 10-324247 (71)Applicant : NEC CORP

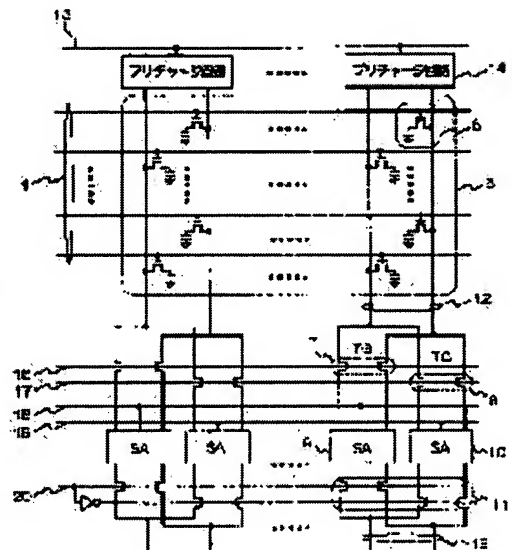
(22)Date of filing : 13.11.1998 (72)Inventor : YABE GIICHI

(54) MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a memory device which assures high-speed read operation and can reduce a delay of the read operation start timing of the read operation even when the write operation frequency is same as the read operation frequency.

SOLUTION: The read operation rate can be much more improved because the bit line pair of high load is electrically separated from a relevant sense amplifier means for amplification when a small potential difference of bit line pair reaches the sense amplifier means and moreover when the write and read operations are alternately generated, delay of the read operation start timing at the time of write operation can be reduced by providing a plurality of sense amplifiers 9, 10 corresponding to each bit line pair and writing the data held in the other sense amplifier means to the memory cell means 6 via the corresponding bit line pair while any sense amplifier means amplifies the readout data.



LEGAL STATUS

[Date of request for examination] 13.11.1998

[Date of sending the examiner's decision of rejection] 05.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-149562

(P2000-149562A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷

G11C 11/409

識別記号

F I

G11C 11/34

テーマコード* (参考)

353C 5B024

審査請求 有 請求項の数7 OL (全10頁)

(21) 出願番号 特願平10-324247

(22) 出願日 平成10年11月13日 (1998.11.13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 矢部 義一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

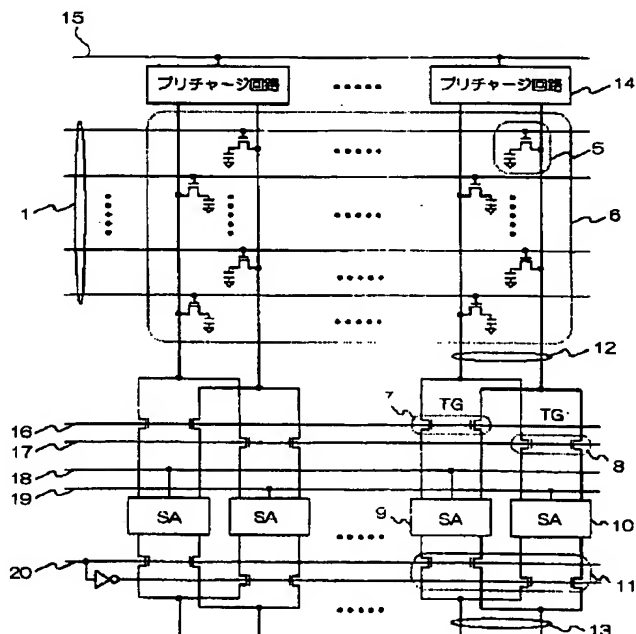
Fターム(参考) 5B024 AA15 BA03 BA09 BA25 CA07

(54) 【発明の名称】 メモリ装置

(57) 【要約】

【課題】 読み出し速度を高速化する上、書き込みの頻度が読み出しの頻度と同程度の場合でも書き込み動作による読み出し動作開始時期の遅れを低減し得るメモリ装置を実現する。

【解決手段】 ビット線対の微小電位差がセンスアンプ手段に伝達した時点で、高負荷のビット線対を当該センスアンプ手段から電気的に切り離して増幅する為、読み出し速度を高速化でき、さらに各ビット線対毎に対応した複数のセンスアンプ手段を設け、いずれかのセンスアンプ手段が読み出しデータを増幅する間、他のセンスアンプ手段に保持されたデータを、対応するビット線対を介してメモリセル手段に書き込むようにすれば、書き込みと読み出しが交互に発生する場合に、書き込み動作の際の読み出し動作開始時期の遅れを低減できる。



【特許請求の範囲】

【請求項1】 ビット線対における微小電位差がセンスアンプ手段に伝達した時点で、高負荷であるビット線対を当該センスアンプ手段から電氣的に切り離して増幅することを特徴とするメモリ装置。

【請求項2】 各ビット線対毎に対応した複数のセンスアンプ手段を設け、いずれかのセンスアンプ手段が読み出しデータを増幅する間、他のセンスアンプ手段に保持されたデータを、対応するビット線対を介してメモリセル手段に書き込むことを特徴とするメモリ装置。

【請求項3】 データ読み出し時にはメモリセル手段からの微小電位差を増幅してなるデータを保持し、データ書き込み時にはその保持したデータをメモリセル手段に書き込む複数のセンスアンプ手段と、

これらセンスアンプ手段の各々とメモリセル手段との接続を導通状態もしくは遮断状態に制御する手段であって、メモリセル手段から微小電位差を受け取った時点で読み出しに使用するセンスアンプ手段とメモリセル手段との接続を遮断状態にすると同時に、書き込みデータを保持している他のセンスアンプ手段とメモリセル手段との接続を導通状態にしてその書き込みデータをメモリセル手段に書き込む読み出し書き込み制御手段とを具備することを特徴とするメモリ装置。

【請求項4】 メモリセル手段からの微小電位差を増幅してなるデータを保持する複数のセンスアンプ手段と、

保持したデータを前記メモリセル手段にライトバッファ手段と、

メモリセル手段からデータを読み出す際に、前記センスアンプ手段が保持するデータを前記ライトバッファ手段に転送し、前記センスアンプ手段がメモリセル手段から微小電位差を受け取った時点で、そのセンスアンプ手段とメモリセル手段との接続を遮断状態にし、その遮断直後にライトバッファ手段とメモリセル手段との接続を導通状態にして当該ライトバッファ手段に保持されるデータを当該メモリセル手段に書き込む制御手段とを具備することを特徴とするメモリ装置。

【請求項5】 外部もしくは内部に設けた演算器などのデータ要求元がデータ格納場所を指定する論理アドレスを、その論理アドレスに対してメモリセルアレイ内の格納場所を示す物理アドレスに逐次変換するアドレス変換手段を有することを特徴とする請求項3～4のいずれかに記載のメモリ装置。

【請求項6】 データの読み出しに使用したメモリセル手段に、その次のデータ読み出しと同時に行われるデータ書き戻し時に、前記センスアンプ手段に保持されているデータを書き込むことを特徴とする請求項3記載のメモリ装置。

【請求項7】 データの読み出しに使用したメモリセル手段に、その次のデータ読み出しと同時に行われるデー

タ書き戻し時に、前記ライトバッファ手段に保持されているデータを書き込むことを特徴とする請求項4記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミック・ランダム・アクセス・メモリ（DRAM）等に代表される揮発性・大容量半導体メモリLSIのアクセス速度高速化およびアクセス効率向上を図ったメモリ装置に関する。

【0002】

【従来の技術】揮発性・大容量半導体メモリ、特にダイナミック・ランダム・アクセス・メモリ（DRAM）では、メモリ・セルのデータ入出力が接続された2対の信号線（ビット線）間に生じる微小電位差を、センスアンプにより増幅することでデータの読み出しを行うとともに、読み出し時に破壊されるデータの書き戻しを行っている。さらに、微小電位差を得るために、読み出し動作の前にビット線対を同電位にする操作（プリチャージ）が必要となるため、一般に高速化が難しい。

【0003】このような性質をもつ揮発性・大容量半導体メモリの高速化技術については、例えば、文献1「Shigetoshi Wakayama et al., "10-ns Row Cycle DRAM using Temporal Data Storage Buffer Architecture," 1998 Symposium on VLSI Circuits Digest of Technical Papers, pp. 12-15」に開示されている。ここで、図9～図10を参照して上記文献1に開示の技術について説明する。ここに開示の技術においても、ビット線対12間に生じる微小電位差をセンスアンプ81により増幅することでデータの読み出しを行っている。しかし、微小電位差がセンスアンプに生じた時点で、トランスファー・ゲート80を使用してメモリ・セル5とセンスアンプ81間の接続を遮断している。これにより、破壊されたメモリ・セル内のデータは書き戻しされないが、高負荷なビット線対12を切り離すことでセンスアンプ81の増幅時間を短縮して読み出し速度を高速化している。

【0004】また、他の従来技術としては、文献2「Katsumi Dosaka et al., "A 100MHz/4MHz 4Mb Cache DRAM with Fast Copy-Back Scheme," 1992 ISSCC Digest of Technical Papers, pp. 148-149」に開示の技術が挙げられる。この文献2で述べられている技術（従来技術2）について図11を参照して説明する。この技術の場合、図11に図示するように、読み出し用データ保持機能付き増幅器（RA）95および書き込み用データ保持機能付きライト・バッファ（WB）98を別々に設け、それぞれ増幅器選択スイッチ94およびライト・バッファ選択スイッチ95を介してビット線対12に接続している。

【0005】このような構成において、読み出しは、まず、ワード線1によりメモリ・セル5を選択し、増幅器選択スイッチ94を導通状態にしてビット線対12およ

び読み出し用データ保持機能付き増幅器 (RA) 95 に微小電位差を生じさせる。次に、読み出し用データ保持機能付き増幅器 (RA) 95 で微小電位差を増幅することで読み出しデータ出力線 96 にデータを読み出すとともに、メモリ・セル内にデータの書き戻しを行う。

【0006】一方、書き込みする際には、まず書き込みデータ入力線 99 から入力されるデータを書き込み用データ保持機能付きライト・バッファ (WB) 98 に一時保持する。次に、読み出しの要求がない期間に、ワード線 1 によりメモリ・セルを選択し、ライト・バッファ選択酸スイッチを導通状態にして書き込みを行う。このため、書き込みデータを一時保持することで書き込み動作期間に融通を持たせることができ、書き込み動作を読み出し動作が行われていない期間に隠蔽して行い易くなる。これにより、書き込み動作のための読み出し動作開始時間の遅れを低減し、結果として高速アクセスを可能としている。

【0007】

【発明が解決しようとする課題】さて、上述した従来のメモリ装置では、読み出し速度の高速化および書き込み動作のための読み出し動作開始時期の遅れ時間の低減を図ることができるものの、以下に示すような問題が生じている。すなわち、画像処理などに代表される大容量データを扱う処理では、メモリ装置より読み出したデータを処理し、すぐに当該メモリ装置に書き込む、所謂リード・モディファイ・ライトを行う場合が多く、こうしたリード・ライト態様ではメモリ装置への読み出しと書き込みとがほぼ同じ頻度で発生する。

【0008】したがって、上記文献 1 に開示の技術では、読み出し速度を高速化し得るが、書き込み速度を高速化することができず、上記リード・モディファイ・ライトに対応しきれない。また、上記文献 2 に開示の技術は、読み出しの頻度が書き込みの頻度より多い場合に有効ではあるが、読み出しと書き込みとがほぼ同頻度のリード・モディファイ・ライトに適用する場合には書き込み動作を読み出しが行われていない期間に隠蔽することができず、高速なリード・ライトが望めない。このように、従来のメモリ装置では、書き込みの頻度が読み出しの頻度と同程度の場合、書き込み動作による読み出し動作開始時期の遅れ時間を低減することができない、という問題がある。

【0009】そこで本発明は、このような事情に鑑みてなされたもので、読み出し速度を高速化する上、書き込みの頻度が読み出しの頻度と同程度の場合であっても書き込み動作による読み出し動作開始時期の遅れ時間を低減することができるメモリ装置を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項 1 に記載の発明では、ビット線対における微

小電位差がセンスアンプ手段に伝達した時点で、高負荷であるビット線対を当該センスアンプ手段から電氣的に切り離して増幅することを特徴とする。

【0011】請求項 2 に記載の発明では、各ビット線対毎に対応した複数のセンスアンプ手段を設け、いずれかのセンスアンプ手段が読み出しデータを増幅する間、他のセンスアンプ手段に保持されたデータを、対応するビット線対を介してメモリセル手段に書き込むことを特徴としている。

【0012】請求項 3 に記載の発明では、データ読み出し時にはメモリセル手段からの微小電位差を増幅してなるデータを保持し、データ書き込み時にはその保持したデータをメモリセル手段に書き込む複数のセンスアンプ手段と、これらセンスアンプ手段の各々とメモリセル手段との接続を導通状態もしくは遮断状態に制御する手段であって、メモリセル手段から微小電位差を受け取った時点で読み出しに使用するセンスアンプ手段とメモリセル手段との接続を遮断状態にすると同時に、書き込みデータを保持している他のセンスアンプ手段とメモリセル手段との接続を導通状態にしてその書き込みデータをメモリセル手段に書き込む読み出し書き込み制御手段とを具備することを特徴とする。

【0013】請求項 4 に記載の発明では、メモリセル手段からの微小電位差を増幅してなるデータを保持する複数のセンスアンプ手段と、保持したデータを前記メモリセル手段にライトバッファ手段と、メモリセル手段からデータを読み出す際に、前記センスアンプ手段が保持するデータを前記ライトバッファ手段に転送し、前記センスアンプ手段がメモリセル手段から微小電位差を受け取った時点で、そのセンスアンプ手段とメモリセル手段との接続を遮断状態にし、その遮断直後にライトバッファ手段とメモリセル手段との接続を導通状態にして当該ライトバッファ手段に保持されるデータを当該メモリセル手段に書き込む制御手段とを具備することを特徴とする。

【0014】上記請求項 3～4 のいずれかに従属する請求項 5 に記載の発明では、外部もしくは内部に設けた演算器などのデータ要求元がデータ格納場所を指定する論理アドレスを、その論理アドレスに対してメモリセルアレイ内の格納場所を示す物理アドレスに逐次変換するアドレス変換手段を有することを特徴とする。

【0015】上記請求項 3 に従属する請求項 6 に記載の発明では、データの読み出しに使用したメモリセル手段に、その次のデータ読み出しと同時に行われるデータ書き戻し時に、前記センスアンプ手段に保持されているデータを書き込むことを特徴とする。また、上記請求項 3 に従属する請求項 7 に記載の発明では、データの読み出しに使用したメモリセル手段に、その次のデータ読み出しと同時に行われるデータ書き戻し時に、前記ライトバッファ手段に保持されているデータを書き込むことを特

微とする。

【0016】本発明では、ビット線対における微小電位差がセンスアンプ手段に伝達した時点で、高負荷であるビット線対を当該センスアンプ手段から電氣的に切り離して増幅するので、読み出し速度を高速化することができ、さらに、各ビット線対毎に対応した複数のセンスアンプ手段を設け、いずれかのセンスアンプ手段が読み出しデータを増幅する間、他のセンスアンプ手段に保持されたデータを、対応するビット線対を介してメモリセル手段に書き込むようにすると、特に書き込みと読み出しが交互に発生する場合に、書き込み動作する際の読み出し動作開始時期の遅れを低減することが可能になる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態であるメモリ装置を実施例として図面を参照して説明する。

A. 第1実施例

(1) 構成

まず図1は第1実施例によるメモリ装置の構成を示す回路図である。この図に示すメモリ装置は、メモリ・セル・アレー6、トランスファー・ゲート（以下、TGと略記する）7、TG8、データ保持機能付き増幅器9（以下、SA9と略記する）、SA10、データ・セレクト11、ビット線対12、データ線対13およびプリチャージ回路14を備え、ワード線1、プリチャージ信号15、SA9選択信号16、SA10選択信号17、SA9活性化信号18、SA10活性化信号19、データ出力選択信号20により制御される。

【0018】メモリ・セル・アレー6は複数個のメモリ・セル5から構成され、各メモリ・セル5はそれぞれ1本のワード線及びビット線に接続されている。各メモリ・セル5は接続されているワード線への入力信号によって読み出しもしくは書き込みに使用するかを選択される。選択されたメモリ・セル5は接続されているビット線によりデータ転送を行う。プリチャージ回路14はプリチャージ信号15により制御され、ビット線対12を同電位に初期化する操作（プリチャージ）を行う。

【0019】TG7はSA9選択信号16に応じて、ビット線対12とSA9との接続を導通もしくは遮断状態にする。同様に、TG8はSA2選択信号17に応じて、ビット線対12とSA10との接続を導通もしくは遮断状態にする。SA9、10はそれぞれSA9活性化信号18及びSA10活性化信号19に応じて、ビット線対12に生じる微小電位差を増幅し、増幅後のデータを保持する。データ・セレクト11はデータ出力選択信号20に応じてSA9もしくはSA10に保持されるデータのいずれかを選択してデータ線対13に出力する。

【0020】(2) 動作

次に、上記構成による第1実施例の動作について図2を参照して説明する。なお、以下ではメモリ・セル5がダイナミック・ランダム・アクセス・メモリ(DRAM)で使

用される1つの容量と1つのトランジスタで構成されるものとし、電氣的に高電位な状態(Hレベル)と低電位な状態(Lレベル)の2状態のいずれかを記憶するものと仮定する。また、上記各信号15～20はHレベルとLレベルの2状態を遷移するものとし、次に示す定義に従い入力されるものとする。

【0021】すなわち、プリチャージ信号15がHレベルの場合、プリチャージ回路14はビット線対12をそれぞれHレベルとLレベルの中間電位(中間レベル)に初期化する。一方、プリチャージ信号15がLレベルの場合、プリチャージ回路14はビット線対12と電氣的に切り離される。ワード線1への入力信号(ワード信号)がHレベルの場合、そのワード線1に接続されたメモリ・セル5はビット線に接続され、データの読み出しもしくは書き込みが行われる。また、ワード信号がLレベルの場合、そのワード線に接続されたメモリ・セル5は電氣的にビット線から切り離されデータを保持する。

【0022】SA9選択信号16およびSA10選択信号17がHレベルの場合、SA9およびSA10のそれぞれがビット線対12に接続され、SA1選択信号16およびSA2選択信号17がLレベルの場合、SA9およびSA10はそれぞれビット線対12から電氣的に切り離される。SA1活性化信号18およびSA2活性化信号19がHレベルの場合、SA9およびSA10はそれぞれビット線対12に生じた微小電位差を増幅し、増幅後のデータを保持し、一方、SA1活性化信号18およびSA2活性化信号19がLレベルの場合、SA9およびSA10はそれぞれ初期化される。データ出力選択信号20がHレベルの場合、SA9にて増幅・保持されたデータがデータ線対13に出力され、データ出力選択信号20がLレベルの場合、SA10にて増幅・保持されたデータがデータ線対13に出力される。

【0023】さて、このような前提において、図2に図示するように、先ず時刻t0でデータの読み出しを開始する場合、その時刻t0の直前では、ビット線対12およびSA9が初期化される一方、SA10にはデータが保持されている。そして、時刻t0では、メモリ・セル・アレー6に接続された複数のワード線のうち1つのワード線をLレベルからHレベルに遷移し、他のワード線をLレベルに設定しておく。そうすると、Hレベルに遷移されたワード線と接続するメモリ・セル5がビット線に接続され、これによりメモリ・セル5に貯えられていた電荷が微小に電位変動する結果、時刻t1ではビット線対12に微小電位差が生じる。

【0024】また、時刻t0から時刻t1の間(以下、t0～t1期間と記述する)では、SA9選択信号16がHレベルになっているため、ビット線対12に生じた微小電位差はSA9にも伝達される。そして、時刻t1ではSA9選択信号16がLレベルに遷移し、SA10選択信号17及びSA9活性化信号18がHレベルに遷

移する為、選択されたメモリ・セル5が保持するデータはSA9により増幅・保持され(図2中の矢印)、SA10に保持されていたデータは選択されたメモリ・セルに書き込まれる(図2中の矢印)。

【0025】次に、時刻 t_2 になると、データ出力選択信号20がHレベルに遷移し、これに応じてSA9にて増幅されたデータがデータ線対13に読み出される(図2中の矢印)。続いて、時刻 t_3 では、プリチャージ信号15がHレベルに遷移し、SA10選択信号17およびSA10活性化信号19がLレベルに遷移し、これによりビット線対12及びSA10の初期化が行われる。そして、時刻 t_4 になると、ビット線対12およびSA10の初期化が完了し、SA9とSA10の状態が入れ替わる他、全て時刻 t_0 の状態に戻る。このため、SA9とSA10の制御手段を入れ替えることにより、引き続き期間 t_0-t_4 で示した動作を行うことができる。

【0026】つまり、ビット線対における微小電位差がセンスアンプに伝達した時点で、高負荷であるビット線対を当該センスアンプから電氣的に切り離して増幅すれば、読み出し速度を高速化することができ、さらに、複数のセンスアンプを設けておけば、読み出しデータの増幅を行っている間に、他の増幅器に保持されたデータをビット線対を介してメモリ・セルに書き込むようにする。このようにすれば、書き込みの頻度が読み出しの頻度と同程度の場合、特に書き込みと読み出しが交互に発生する場合には、書き込み動作する際の読み出し動作開始時期の遅れを低減できる。

【0027】例えば、図2における t_0-t_1 期間、 t_1-t_2 期間、 t_1-t_3 期間および t_3-t_4 期間をそれぞれ5ns、5ns、10ns、10nsと仮定すると、本発明では25nsで読み出し及び書き込みを行うことができる(ただし、読み出し動作のみは10nsで行うことができる)。したがって、上記仮定を前述した文献1に係わる従来技術に適用してみると、読み出し動作には10nsかかり、書き込み動作には25nsかかることになり、読み出しと書き込みとを連続して行う場合には $10\text{ns}+25\text{ns}=35\text{ns}$ 必要となるから、本発明の方がおよそ30%程度の処理高速化を実現できることが明かとなる。

【0028】B. 第2実施例

次に、図3～図4を参照して第2実施例について説明する。図3に示す第2実施例が上述した第1実施例(図1参照)と相違する点は、データ保持機能付きライト・バッファ(以下、WBと略称する)38を設け、データ・セクタ11(図1参照)を省略する構成としたことにある。以下、第1実施例と相違する構成について説明しておく。WB38はデータ保持信号33に応じてSA37に保持中のデータを保持するものであり、WB選択スイッチ36にて駆動される。なお、WB選択スイッチ3

6は、WB選択信号31に応じてビット線対12とWB38との接続を導通もしくは遮断状態にするものである。

【0029】このような構成による第2実施例では、図4に図示するように、先ず時刻 t_0 でデータの読み出しを開始する場合、その時刻 t_0 の直前ではビット線対12が中間レベルに初期化される一方、SA37には前の動作で読み出されたデータが保持されている。そして、時刻 t_0 では、メモリ・セル・アレー6に接続された複数のワード線のうち1つのワード線をLレベルからHレベルに遷移し、他のワード線をLレベルに固定しておく。そうすると、Hレベルに遷移されたワード線と接続するメモリ・セル5がビット線に接続され、これによりメモリ・セル5に貯えられていた電荷が微小に電位変動する結果、時刻 t_1 ではビット線対12に微小電位差が生じる。

【0030】さらに、時刻 t_0 ではデータ保持信号33はLレベルからHレベルに遷移し、SA活性化信号32はLレベルに遷移するから、SA37に保持されていたデータはWB38に保持され(図4中の矢印)、SA37は初期化を開始する。そして、時刻 t_1 ではSA選択信号30がLレベルに遷移し、SA活性化信号32およびWB選択信号31がHレベルに遷移するため、選択されたメモリ・セル5に保持されていたデータはSA37により増幅・保持され(図4中の矢印)、一方、WB38に保持されていたデータは選択されたメモリ・セルに書き込まれる(図4中の矢印)。次いで、時刻 t_3 になると、プリチャージ信号15がHレベルに遷移し、WB選択信号31がLレベルに遷移するから、これによりビット線対12の初期化が開始され、続く時刻 t_4 ではビット線対12の初期化が完了して時刻 t_0 の状態に戻る。

【0031】このように、第2実施例によれば、上述した第1実施例と同様、読み出し速度の高速化を図ることができる上、連続して読み出しと書き込みを行う場合の動作速度の向上を図ることができる。また、第1実施例と比較すると、データセクタ11を省略する構成としたので、当該データセクタ11の処理時間(図2に示す t_{Select})分、読み出し時間を短縮できる。さらに、第1実施例と比べ、読み出し用回路(SA37)と書き込み用回路(WB38)とをそれぞれ個別に設計できる為、読み出し時間(図4に示す t_0-t_2 期間)を変えことなく、書き込み時間(図4に示す t_1-t_3 期間)を短縮し得る、という効果も奏する。

【0032】C. 第3実施例

(1) 構成

次に、図5を参照して第3実施例の構成について説明する。図5に示す第3実施例は、前述した第1実施例もしくは第2実施例によるメモリ装置に相当したメモリ・コア50、アドレス変換回路56、アドレス・デコード5

4、論理アドレス信号51および物理アドレス信号55を備えている。論理アドレス信号51は外部もしくは内部に設けた演算器などのデータ要求元が、データ格納場所を指定するための論理アドレスである。アドレス変換回路56は、入力された論理アドレスに対してメモリ・セル・アレー内の実際の格納場所を示す物理アドレスを逐次自動的に更新し、物理アドレス信号55として出力する。

【0033】アドレス・デコーダ54は物理アドレスに対応する1つのワード線に、そのワード線に接続されているメモリ・セルを動作させる信号を出力する。アドレス変換回路56としては、図中に示すように、例えばアドレス変換メモリ53とアドレス保持回路52とから構成される。アドレス保持回路52はクロック信号57によって制御され、論理アドレスを保持する。アドレス変換メモリ53は論理アドレスに対応する物理アドレスを記憶する。

【0034】(2) 動作

次に、上記構成による第3実施例の動作について図6を参照して説明する。なお、ここでは、アドレス変換メモリ53はクロック信号57がHレベルの時に読み出しを行い、Lレベルの時には書き込みを行うものとしている。また、アドレス変換メモリ53は物理アドレスを保持し、その格納場所の指定は、読み出し時には論理アドレス信号51で行い、書き込み時にはアドレス保持回路52の出力で行う。アドレス保持回路52はクロック信号57がLレベルからHレベルに移った時に、論理アドレス信号51を保持し出力を遷移させる。

【0035】さて、時刻 t_0 の直前の状態として、アドレス変換メモリ53には論理アドレスa、b、cでそれぞれ指定される場所に物理アドレスa0、b0、c0が格納されているとする。以下、便宜上、論理アドレスxで指定されるアドレス変換メモリ53内のデータ領域をM[x]と記述する。先ず図6に図示するように、 $t_0 - t_1$ 期間に論理アドレス信号51として論理アドレスaが入力され、アドレス変換メモリ53から物理アドレス信号55として物理アドレスa0が出力されている。時刻 t_2 ではこの論理アドレスaがアドレス保持回路52により保持されている。

【0036】 $t_2 - t_3$ 期間では論理アドレス信号51として論理アドレスbが入力され、これに応じてアドレス変換メモリ53から物理アドレス信号55として物理アドレスb0が出力される。続いて、 $t_3 - t_4$ 期間では、アドレス変換メモリ53内のデータ領域M[a]に物理アドレスb0が書き込まれる。これによって、 $t_6 - t_7$ 期間で示すように、次に論理アドレスaを入力した場合、物理アドレス信号55として物理アドレスb0が出力される。このように、論理アドレスに対応する物理アドレスを、論理アドレスが使用される度に、その次のアクセスに使用された物理アドレスに置き換えること

ができる。

【0037】つまり、上述した第1及び第2実施例では、データを読み出したメモリ・セルに以前読み出したデータを書き込んでいるため、外部もしくは内部に設けた演算器などのデータ要求元では、以前読み出したデータを再び読み出す場合、データの格納場所を予め計算し指定する必要があるが、この第3実施例では論理アドレスに対する物理アドレスを自動的に更新し出力するため、以前読み出したデータを再び読み出す際にデータ格納場所を計算する必要がなくなり、処理の高速化を図ることができる。

【0038】D. 第4実施例

(1) 構成

次に、図7～図8を参照して第4実施例について説明する。図7に示す第4実施例は前述した第1実施例もしくは第2実施例によるメモリ装置に相当したメモリ・コア50、アドレス・デコーダ54、ワード信号発生回路65を備えている。アドレス・デコーダ54から出力されるデコード信号64は、それぞれ別々のワード信号発生回路65、…、65に接続され、各ワード信号発生回路65は、それぞれ1つのワード線1を駆動している。アドレス信号63は、メモリ・セル・アレー6内のデータ格納場所を指定するアドレスであり、1つのワード線に接続されたメモリ・セル全てを指定する。アドレス・デコーダ54はアドレス信号63に対応する1つのワード信号発生回路65を選択するデコード信号64を出力し、このデコード信号64に対応して選択されたワード信号発生回路65はワード線1に制御信号を出力することで、そのワード線に接続されているメモリ・セルを動作させるようになっている。

【0039】(2) 動作

次に、図8を参照して第4実施例の動作について説明する。ここでは、アドレス信号63に対して1つのデコード信号64をHレベルにすることでワード信号発生回路65を選択し、他のデコード信号64はLレベルに設定されるものとする。ワード線1に接続されたメモリ・セルは、接続されたワード線1がHレベルの場合には読み出しもしくは書き込み動作を行い、Lレベルの場合にはデータ保持を行うものとする。また、メモリ・コアとしては上述した第2実施例によるメモリ装置を想定する。

【0040】ワード信号発生回路65としては、例えば図7に図示するように、ワード保持回路60および論理和回路61を組み合わせることで実現することができる。ワード保持回路60は、クロック信号62がLレベルからHレベルに移った時に、デコード信号64を保持する。論理和回路61は、デコード信号64とワード保持回路60の出力が共にLレベルの場合にLレベルを出力し、それ以外ではHレベルを出力する。

【0041】図8に図示するタイムチャートは、第2実施例(図4参照)における $t_0 - t_4$ 期間が、図8のT

0-T1、T1-T2及びT2-T3の各期間に相当する。アドレス信号63により、時刻T0ではデコード信号線1がHレベルに遷移し、時刻T1ではデコード信号線2がHレベルに遷移している。デコード信号線1及びデコード信号線2はワード保持回路60により、図中で示す破線の期間保持される。ワード線1及びワード線2はそれぞれデコード信号線1及びデコード信号線2が接続されたワード信号発生回路60の出力である。

【0042】T0-T1期間では、ワード線1に接続されたメモリ・セル内のデータ(D1)によってビット線対に微小電位差が生じ、増幅器により増幅され読み出されている(図8中の矢印)。同様に、T1-T2期間では、ワード線2に接続されたメモリ・セル内のデータ(D2)によってビット線対に微小電位差が生じ、増幅器により増幅され読み出されている(図8中の矢印)。また、T1-T2期間では同時に、T0-T1期間で読み出されたデータD1をライト・アンプに転送し(図8中の矢印)、ビット線対を使用してワード線1に接続されたメモリ・セル内に書き込んでいる(図8中の矢印)。

【0043】前述した第1および第2実施例では、データを読み出したメモリ・セルに以前読み出したデータを書き込んでいるため、外部もしくは内部に設けた演算器などのデータ要求元では、以前読み出したデータを再び読み出す場合、データの格納場所を予め計算し指定する必要があるが、本第4実施例では読み出したデータを次の読み出しの際に同じ格納場所へ書き込むようにしたので、そうした計算を必要とせず、この結果、処理高速化を図ることができる。

【0044】以上説明したように、本発明によれば、ビット線対の微小電位差が増幅器(センスアンプ)に伝達した時点で、高負荷であるビット線対をその増幅器(センスアンプ)から電気的に切り離して増幅を行い、さらに、複数の増幅器を設け、読み出しデータの増幅を行っている間に、他の増幅器もしくはライト・バッファに保持されたデータをビット線対を介してメモリ・セルへ書き込むようにしたので、特にダイナミック・ランダム・アクセス・メモリ(DRAM)などの読み出し速度を高速化するとともに、書き込みの頻度が読み出しの頻度と同程度の場合、書き込み動作による読み出し動作開始時期の遅れ時間を低減することが可能になっている。また、本発明では、論理アドレスに対する物理アドレスを自動的に更新し出力する手段、もしくは読み出したデータを次の読み出しの際に同じ格納場所へ書き込むための制御手段を設けるようにした為、外部もしくは内部に設けた演

算器などのデータ要求元で以前読み出したデータを再び読み出す場合、データの格納場所を予め計算し指定する必要がなく、処理高速化を図ることができる。いことである。

【0045】

【発明の効果】本発明によれば、ビット線対における微小電位差がセンスアンプ手段に伝達した時点で、高負荷であるビット線対を当該センスアンプ手段から電気的に切り離して増幅するので、読み出し速度を高速化することができ、さらに、各ビット線対毎に対応した複数のセンスアンプ手段を設け、いずれかのセンスアンプ手段が読み出しデータを増幅する間、他のセンスアンプ手段に保持されたデータを、対応するビット線対を介してメモリセル手段へ書き込むようにすると、特に書き込みと読み出しが交互に発生する場合に、書き込み動作する際の読み出し動作開始時期の遅れを低減できる。

【図面の簡単な説明】

【図1】 本発明による第1実施例の構成を示す回路図である。

【図2】 第1実施例の動作を説明するためのタイムチャートである。

【図3】 第2実施例の構成を示す回路図である。

【図4】 第2実施例の動作を説明するためのタイムチャートである。

【図5】 第3実施例の構成を示す回路図である。

【図6】 第3実施例の動作を説明するためのタイムチャートである。

【図7】 第4実施例の構成を示す回路図である。

【図8】 第4実施例の動作を説明するためのタイムチャートである。

【図9】 従来例を説明するための図である。

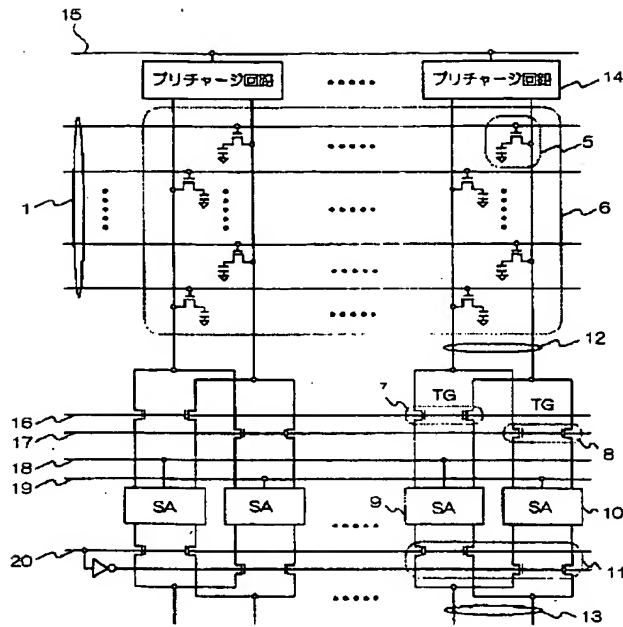
【図10】 従来例を説明するための図である。

【図11】 従来例を説明するための図である。

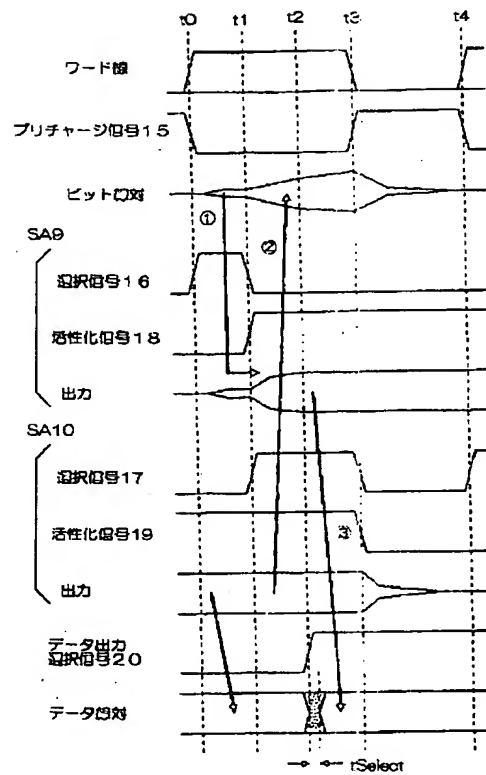
【符号の説明】

- 1 ワード線
- 5 メモリ・セル
- 6 メモリ・セル・アレー
- 7, 8 トランスファー・ゲート
- 9, 10 データ保持機能付き増幅器(センスアンプ手段)
- 11 データセレクト
- 12 ビット線対
- 13 データ線対
- 14 プリチャージ回路

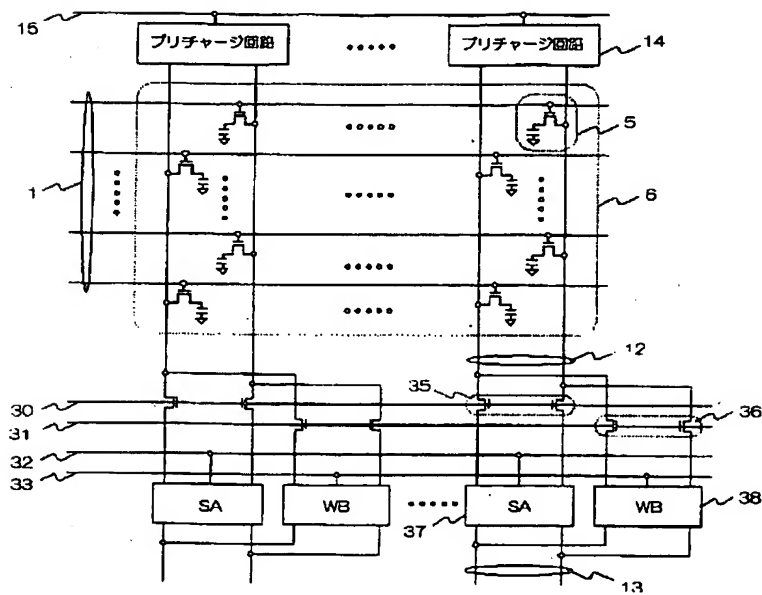
【図 1】



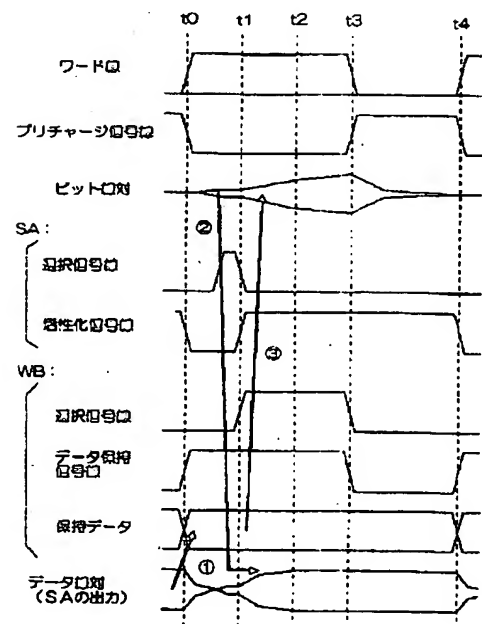
【図 2】



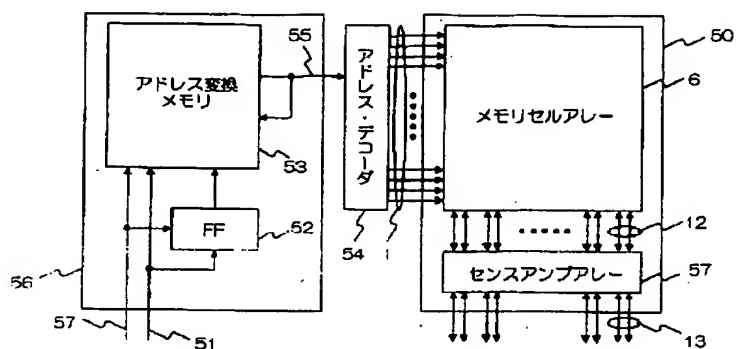
【図 3】



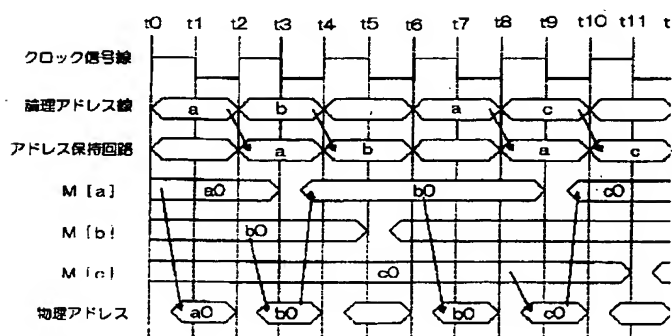
【図 4】



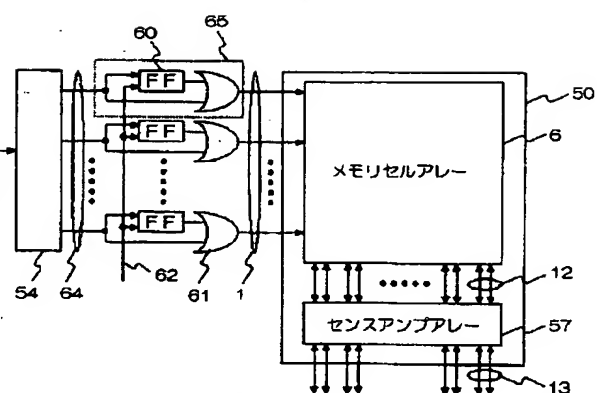
【図5】



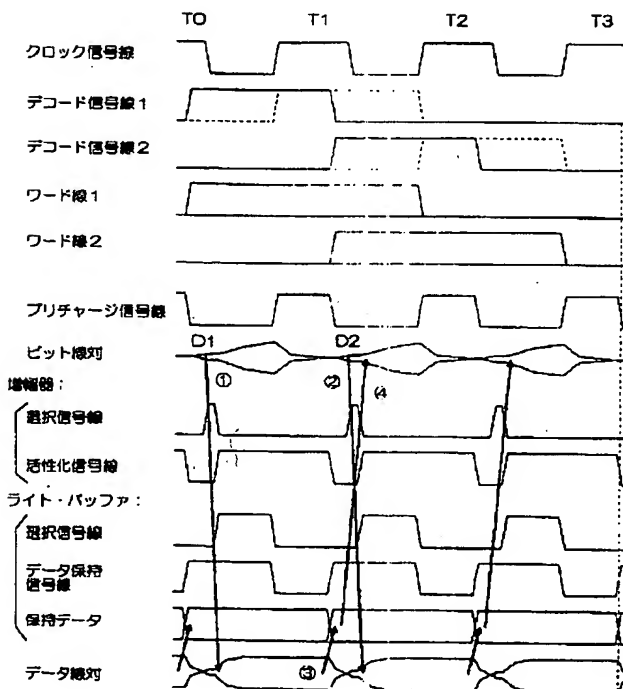
【図6】



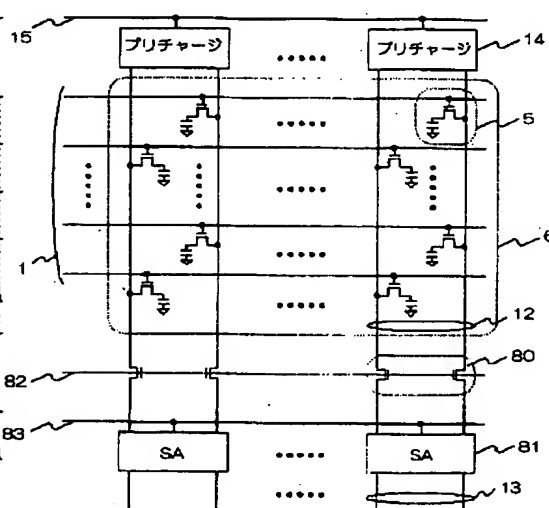
【図7】



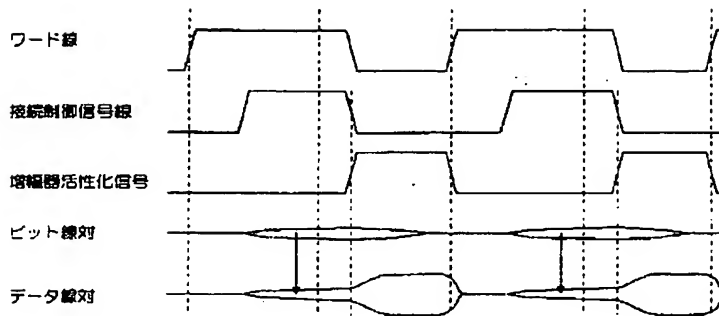
【図8】



【図9】



【図10】



【図11】

